

1/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

011058010 **Image available**

WPI Acc No: 1997-035935/199704 XRPX Acc No: N97-030231

Solder interconnect structure for semiconductor integrated circuit - includes solder balls capped with metal having lower melting point than that of solder ball e.g. capped with tin@ layer

Patent Assignee: INT BUSINESS MACHINES CORP (IBMC); IBM CORP (IBMC)
Inventor: BITAILLOU A; DALAL H M; FALLON K M; GAUDENZI G J; HERMAN K R;
PIERRE F; ROBERT G

Number of Countries: 005 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 747954	A2	19961211	EP 96480060	A	19960507	199704 B
JP 8332590	A	19961217	JP 96144673	A	19960606	199709
EP 747954	A3	19970507	EP 96480060	A	19960507	199731
US 6259159	B1	20010710	US 95476474	A	19950607	200141
			US 97794982	A	19970130	
JP 3393755	B2	20030407	JP 96144673	A	19960606	200327

Priority Applications (No Type Date): US 95476474 A 19950607; US 97794982 A 19970130

Cited Patents: No-SR.Pub; 3.Jnl.Ref; JP 62117346; US 4673772; US 5075965; US 5130779

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 747954	A2	E	9	H01L-023/485	
				Designated States (Regional): DE FR GB	
JP 8332590	A		9	B23K-035/22	
EP 747954	A3			H01L-023/485	
US 6259159	B1			H01L-023/48	Cont of application US 95476474
JP 3393755	B2		9	B23K-035/22	Previous Publ. patent JP 8332590

Abstract (Basic): EP 747954 A

The interconnect structure includes at least one solder ball (18) on a substrate (10). Part or all of the solder ball is coated with a low m.pt. metal (23), having a lower m.pt. than the m.pt. of the solder ball. The interconnection has a lowered m.pt. only at the tip of the solder interconnect height, with the eutectic alloy, formed in a low temp. cycle, localised to the top of the solder ball. The solder balls are capped after reflow. The capping metal may be Bi, In or Sn.

The solder ball may be high or low m.pt. solder of C4. The substrate may be an organic or ceramic substrate, either single layer or multilayer, or may be an IC. Pref. the capping layer thickness is chosen for a eutectic vol. between 10 and 20 percent of the solder ball volume, with an average cap thickness between 15 and 50 microns.

USE/ADVANTAGE - Direct chip attachment to any higher level in packaging substrate; allows several assembly and rework cycles of semiconductor module; temporary joint of IC to chip-level burn-in substrate. Increased solder joint reliability; provides module compatible with wafer-level electrical test and burn-in; avoids substrate tinning, and reduced interface stress.

Dwg.2/7

Title Terms: SOLDER; INTERCONNECT; STRUCTURE; SEMICONDUCTOR; INTEGRATE; CIRCUIT; SOLDER; BALL; CAP; METAL; LOWER; MELT; POINT; SOLDER; BALL; CAP; TIN; LAYER

Index Terms/Additional Words: C4; CONTROLLED; COLLAPSE; CHIP; CONNECTION

Derwent Class: P55; U11

International Patent Class (Main): B23K-035/22; H01L-023/48; H01L-023/485

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-332590

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
B 2 3 K 35/22	3 1 0		B 2 3 K 35/22	3 1 0 C
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 Q
H 0 1 R 4/02			H 0 1 R 4/02	Z
		6901-5B	9/09	B
H 0 5 K 1/14			H 0 5 K 1/14	H
審査請求 未請求 請求項の数25 O L (全 9 頁)				

(21) 出願番号 特願平8-144673

(22) 出願日 平成8年(1996)6月6日

(31) 優先権主張番号 4 7 6 4 7 4

(32) 優先日 1995年6月7日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ホルマズディヤール・ミノチェル・ダラル
アメリカ合衆国12547 ニューヨーク州ミ
ルトンキャッセル・ロード 16

(74) 代理人 弁理士 合田 潔 (外2名)

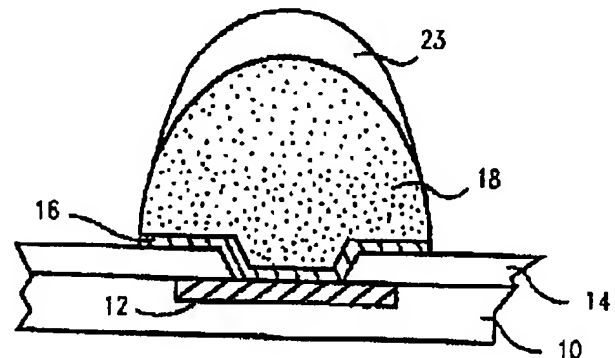
最終頁に続く

(54) 【発明の名称】 低融点金属キャップを有するリフローはんだボールによる相互接続構造

(57) 【要約】

【課題】 パッケージング基板の任意の高位レベルに直接低温チップ実装を施すためのはんだボールを使用するはんだ相互接続用の方法および構造を提供する。

【解決手段】 標準的な方法を使用してはんだボールを形成した後、リフローしてはんだボールの表面をなめらかにする。ビスマス、インジウムまたはスズ、好ましくは純スズなど、低融点金属の層をはんだボールの上部に付着させる。この構造では、低温リフロー・サイクルを複数回繰り返した後でも、次の低温接合サイクル時に形成される共融合金が高融点のはんだボールの上部に限定される。この方法は、チップをそれに接合する基板をスズめっきする必要がなく、したがって経済的である。また、この構造では、温度が共融温度よりもわずかに高くなると、常に銅線との接合のまわりに液体フィレットが形成されることが分かった。この液体フィレットが形成される結果、界面での応力が低下するので、熱的疲労寿命が大幅に改善される。第2に、チップのバーンイン、交換および現物修理のためにチップを除去する簡単な手



【特許請求の範囲】

【請求項1】 少なくとも1つのはんだボールを有しかつ前記はんだボールの少なくとも一部が少なくとも1つの低融点金属の被覆を有する基板を含み、前記低融点金属の融点が前記はんだボールの融点よりも低い相互接続構造。

【請求項2】 前記はんだボールが、高融点はんだ、低融点はんだまたはC4からなるグループから選択されることを特徴とする、請求項1に記載の相互接続構造。

【請求項3】 前記基板が、有機基板、多層有機基板、セラミック基板、多層セラミック基板または集積回路チップからなるグループから選択されることを特徴とする、請求項1に記載の相互接続構造。

【請求項4】 前記低融点金属が、ビスマス、インジウム、スズまたはそれらの合金からなるグループから選択されることを特徴とする、請求項1に記載の相互接続構造。

【請求項5】 前記低融点金属の層を有するはんだボールが、導電性アセンブリに固定されることを特徴とする、請求項1に記載の相互接続構造。

【請求項6】 前記導電性アセンブリが、ICチップ、コンデンサ、抵抗、回路キャリア・カード、電源または増幅デバイスからなるグループから選択されることを特徴とする、請求項5に記載の相互接続構造。

【請求項7】 はんだボールが、前記基板内の導電性フィーチャに固定されることを特徴とする、請求項1に記載の相互接続構造。

【請求項8】 前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ta、Ti、TiW、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、請求項7に記載の相互接続構造。

【請求項9】 前記導電性フィーチャが少なくとも1つの内部導電性フィーチャと電気的に接触することを特徴とする、請求項7に記載の相互接続構造。

【請求項10】 前記低融点金属キャップの厚さが、前記はんだボールの体積の約5パーセント～約30パーセントの共融体積を提供することを特徴とする、請求項1に記載の相互接続構造。

【請求項11】 前記低融点金属キャップの厚さが、好ましくは、前記はんだボールの体積の約10パーセント～約20パーセントの共融体積を提供することを特徴とする、請求項1に記載の相互接続構造。

【請求項12】 前記はんだボールが鉛とスズの合金から構成され、かつ前記合金が約2パーセント～約10パーセントのスズを含むことを特徴とする、請求項1に記載の相互接続構造。

【請求項13】 前記はんだボールが鉛とスズの合金から構成され、かつ前記合金が約98パーセント～約90パ

の相互接続構造。

【請求項14】 前記低融点金属キャップの平均厚さが約15マイクロメートル～約50マイクロメートルであることを特徴とする、請求項1に記載の相互接続構造。

【請求項15】 前記はんだボールが、Pb、Bi、In、Sn、Ag、Au、またはそれらの合金からなるグループから選択されることを特徴とする、請求項1に記載の相互接続構造。

【請求項16】 前記キャップ付きはんだボールの少なくとも一部が第2の基板上の導電性フィーチャに固定されることを特徴とする、請求項1に記載の相互接続構造。

【請求項17】 前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ta、Ti、TiW、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、請求項16に記載の相互接続構造。

【請求項18】 前記第2の基板が、有機回路キャリアまたはセラミック回路キャリアからなるグループから選択されることを特徴とする、請求項16に記載の相互接続構造。

【請求項19】 前記有機回路キャリアが、剛性有機回路キャリアまたはフレキシブル有機回路キャリアからなるグループから選択されることを特徴とする、請求項18に記載の相互接続構造。

【請求項20】 前記剛性有機回路キャリア用の材料が、エポキシ類からなるグループから選択されることを特徴とする、請求項19に記載の相互接続構造。

【請求項21】 前記フレキシブル有機回路キャリア用の材料が、ポリイミド類からなるグループから選択されることを特徴とする、請求項19に記載の相互接続構造。

【請求項22】 前記低融点金属が、前記はんだボールの露出面の約10パーセント～約90パーセントをキャッピングすることを特徴とする、請求項1に記載の相互接続構造。

【請求項23】 前記低融点金属が、好ましくは、前記はんだボールの露出面の約20パーセント～約80パーセントをキャッピングすることを特徴とする、請求項1に記載の相互接続構造。

【請求項24】 前記低融点金属が、さらに好ましくは、前記はんだボールの露出面の約30パーセント～約50パーセントをキャッピングすることを特徴とする、請求項1に記載の相互接続構造。

【請求項25】 前記低融点金属が前記はんだボールを完全に包囲することを特徴とする、請求項1に記載の相互接続構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に、はんだボールを少なくとも1つの低融点金属のキャップでキャッ

には、すでにリフロー済みのはんだボールを少なくとも1つのスズの層でキャッピングした構造に関する。そのようなスズをキャッピングする方法も開示する。

【0002】

【従来の技術】半導体デバイスは、新しい技術の発展とともに小型化、高密度化しつつある。しかしながら、回路密度が高くなると、それに応じて、競争力を維持するためにチップおよびチップ接続を改善するという課題が生じる。したがって、チップ・メーカーは、製品を識別し改善することによって製品の質を改善することを絶えず迫られている。一方、プロセスのばらつきを小さくすることによって、大幅なプロセスの改善が行われている。プロセスの改善だけでは、これらの製品の歩留りと信頼性の両方を高めるには不十分である。

【0003】一般に、電子製品は複数の部品から構成される。これらの部品のパッケージングは、階層に従って行い半導体マイクロデバイスから構成される集積回路(IC)チップを、金属相互接続線の1つまたは複数の層を含むセラミックまたは有機ラミネートできたキャリアに接続する(第1レベルのアセンブリ)。これらのキャリアは、コンデンサ、抵抗などの離散デバイスをも含む。ある種の密封冷却方法とともに、このようにしてアセンブルしたICチップを有するキャリアは、モジュールと呼ばれる。これらのモジュールを、通常カードの両面にプリント基板を有する有機ラミネートできたカードに接続する(第2レベルのアセンブリ)。次いで、これらのカードをボードに接続する(第3レベルのアセンブリ)。アセンブリのレベルの数は、主として所要の機能の複雑さによって決まる。

【0004】第1レベルまたはチップ・レベルの相互接続技術には次の3つの主要なものがある。すなわち、例えばC4(Controlled Collapse Chip Connection)法など、ワイヤ・ボンディング(WB)法、テープ自動式ボンディング(TAB)法およびソルダ・ボンディング(SB)法である。

【0005】現在市販されている多くの製品では、一般に、チップをカードまたはボード上に直接ボンディングするので第1レベルのパッケージが不要である。これにより、パッケージの小型化、簡単化および低コスト化が可能となる。低コスト製品の場合、チップをカード上に直接接続する最も一般的な方法は、ワイヤ・ボンディング(WB)法であった。テープ自動ボンディング(TAB)法は、TAB自体が第1のレベルのアセンブリであると考えられるので、今や、チップをカード(またはボード)上に直接実装するのに広く一般に使用されるようになった。第2に、その機械的フレキシビリティのために、フレキシブル回路キャリア上にチップを実装するのに適している。

【0006】しかしながら、超大规模集積回路チップお

上の入出力(I/O)端子の数が非常に増大し、I/Oパッドの間隔を密にする必要があるだけでなく、I/Oパッドのアレイ・パターンも必要となった。

【0007】アレイ・パターンの要件により、ワイヤ・ボンディング法およびTAB法が適用できなくなる。

【0008】これらの方法を使用する場合の他の制限要因は、これらの搭載したチップのテストまたはバーニンが困難なことである。このため、カードの歩留りが制限され、したがって製品が高価になる。

【0009】他の欠点は、再加工が経済的に実現不可能であることである。

【0010】これらの制限要因のために、チップをカード上に直接接合するC4法などの技法を使用する必要がある。

【0011】C4法すなわちControlled Collapse Chip Connection法は、チップのセラミック・キャリア上への第1のレベルのアセンブリに使用されて成功を収めてきた。C4技術は、多くの著者によって詳細に記載されている。例えば、その開示を参照により本明細書の一部とする、ラーオ・R. トゥンマラ(Rao R. Tummala)およびユージン・J. リマシェフスキ(Eugene J. Rymaszewski)編、Microelectronics Packaging Handbook、366-391頁(1989)を参照のこと。

【0012】C4相互接続は、ボール制限メタラジ(BLM)と呼ばれるはんだリフロー可能パッドと、はんだのボールの2つの主要な要素から構成される。BLMは、CrやTiWなどの接着層と、銅やニッケルなどのはんだリフロー可能層とから構成される。BLM材料およびそれらの厚さは、構造を相互接続する際に良好かつ確実な電氣的、機械的および熱的な安定性が得られるように慎重に選択される。C4に使用されるはんだ材料は、低い比率(約2パーセントないし約10パーセント)のスズを鉛と合金化したものが好ましい。この組合せは、最初、相互接続の次のレベルの際に、リフローはんだボールまたはC4が溶解するのを防止するのに使用していたが、現在は、主として(1)過剰な銅とスズの金属間化合物に起因する大きい応力が下地の不動態化皮膜に大きい応力を集中させるとき、BLMの銅とスズの間の反応を小さくするため、および(11)スズの比率が小さいことによって生じる熱疲労特性を改善するために使用される。

【0013】現在、第2のレベルまたはその上のレベルのアセンブリに関して、すなわちカード上への直接チップ実装(DCA)に関して、現行のC4技術の使用を制限している2つの問題がある。第1に、第2のレベルの相互接続がピン・スルーホール(PTH)技術に限られ、また、SMTはんだの融点よりも高い接合温度が必要であるので、費用効果が高く場所をとらない面実装技術(SMT)が使用できない。第2に、比較的高い接合

化する。

【0014】DCAの接合温度を下げるには2通りの方法がある。1つの方法は、共融（または低融点）はんだをカード・メタライゼーション上に設けることである。この方法に関係する方法は、現在本特許願の譲渡人に譲渡された、レッグ (Legg) およびシュロトケ (Schroette) の米国特許第4967950号に記載されている。上記特許は、C-4を使用して回路チップをフレキシブル基板（ラミネート）に実装する一般的な方法を記載している。基板は、チップのベース上のはんだボールを有する接触領域内で共融成分の合金で「スズめっき」される。

【0015】共融はんだによってカードまたは有機キャリアを事前被覆する方法は、1995年2月13日出願のファロン (Fallon) 他の米国特許出願第08/387686号、「Process for Selective Application of Solder to Circuit Packages」に教示されている。この方法では、共融はんだをプリントカードの銅導体上の、チップC4パンプがそこに接触する正確な個所に電気メッキする。

【0016】DCA（直接チップ実装）の接合温度を下げる他の方法は、低融点はんだをキャリア導体上ではなくチップC4上に設けることである。本願の譲渡人に譲渡された、ケアリー (Carey) 他の米国特許第5075965号、およびアガルワラ (Agarwala) 他の米国特許第5251806号および第5130779号、およびエイジ (Eiji) 他の特公昭62-117346号は、低融点はんだをチップ上に設ける様々な方法を記載している。

【0017】米国特許第5075965号は、不均一な異方性カラムが、共融合金を形成するのに十分な厚さの鉛リッチな底面とスズ・リッチな上面とから構成される方法を開示している。その場合、得られた付着したままでリフローしていないカラムをカードの導体上に接合する。

【0018】内部拡散が熱力学的に駆動される傾向を回避するために、米国特許第5251806号および第5130779号は、バリヤ金属層を挿入することによって低融点成分を高融点成分から分離した構造を開示している。この構造は、はんだ材料の階層を示すが、この構造では、高融点のはんだのカラムがリフローしない。スタック化したはんだはリフローしないので、はんだスタックとボール制限メタラジ (BLM) の接着パッドとの間にメタラジ反応が起こらない。その結果、C4接合の機械的完全性が劣化することが分かっている。

【0019】特公昭62-117346号は、低融点のはんだおよび高融点のはんだの異方性カラム構造を記載している。この発明の基本的な目的は、本質上、低融点のはんだ接合プロセスの代わりに、はんだ接合の高さを増すこ

し、次いで基板と低融点金属層を形成する。次いで、2つの低融点金属層を接合し、それによりチップを基板に接合する。

【0020】W. A. ドーソン (Dawson) 他、「Indium-Lead-Indium Chip Joining」、IBMテクニカル・ディスクロージャ・ブルテン、Vol. 11, No. 11, 1528頁 (1969年4月) は、拡散ボンディング用のインジウムまたはスズによる鉛の標準的キャッピングを開示している。基板の表面上にチップが圧潰する問題を緩和するために、中間温度を使用する。

【0021】本発明では、完全に低融点共融成分から構成されるパンプは、高含有率のスズが接着層（ボール制限メタラジ、BLM）のすべての銅と反応して厚い金属間層を与えるので、回避すべきフィーチャである。反応したBLMの大きい応力が原因で、はんだパッドが剥がれたり、絶縁亀裂が生じることが分かっている。共融はんだパンプはまた、電気移動度が不十分であり、熱疲労寿命が短い。また、低融点共融はんだには、熱移動によってボイドが形成し回路故障を引き起こす問題があることが周知である。

【0022】不均一異方性のはんだカラムの他の欠点は、この構造が、電気プローブが低融点キャップに貫入しチップを破壊するので、チップをキャリアに接合する前に回路を電気テストするのに不向きなことである。さらに、また、チップ・バーニンに関して、一般にバーニンに使用される温度は120℃～150℃であり、したがって接合操作を開始する前でも、低融点成分および高融点成分の内部拡散が起こることになるので、周知のどの多層はんだボールも使用することができない。

【0023】しかしながら本発明は、一般に、電子回路パッケージに関し、さらに詳細には、新しいはんだ相互接続、およびICチップを高レベル・パッケージ上に直接接合することによってそれを作成する方法に関する。

【0024】本発明によれば、Controlled Collapse Chip Connection (C4) 操作の後に、元素金属と合金が相互作用して低融点合金が同時に形成されることによってICチップを実装する方法が提供される。

【0025】本発明はまた、剛性またはフレキシブルな有機マイクロエレクトロニクス回路カード上にICチップを有機カードの低温加工要件に適合するように、また一般に高レベルの相互接続に使用される面実装技術またははんだボール技術に適合するように低い温度で接合するための信頼できるメタラジ・システムを提供することに関する。

【0026】

【発明が解決しようとする課題】本発明の1つの目的は、すでにリフロー済みのはんだボールよりも融点の低い少なくとも1つの金属のキャップを有する少なくとも

することである。

【0027】本発明の他の目的は、コストが低く、製造が容易であり、かつ工程の歩留りが高い半導体モジュールを準備することである。

【0028】本発明の他の目的は、ICチップ上に低融点相互接続メタラジを提供することである。

【0029】本発明の他の目的は、複数の接合サイクルおよび再加工程に耐えられる半導体モジュールを得ることである。

【0030】本発明の他の目的は、接合の信頼性を高めることである。

【0031】本発明の他の目的は、ウエハ・レベルの電気テストおよびバーニンに適合するモジュールを得ることである。

【0032】本発明の他の目的は、チップ・レベルのバーニン用の代用基板に集積回路チップを一時的に接合することである。

【0033】

【課題を解決するための手段】本発明は、半導体集積チップへのはんだ相互接続を行う新規の方法および構造に関する。ただし、相互接続は、はんだ相互接続の高さの先端でだけ融点が低下するように設計される。

【0034】具体的には、少なくとも1つのはんだボールを有しかつ前記はんだボールの少なくとも一部が少なくとも1つの低融点金属の被覆を有する基板を含み、前記低融点金属の融点が前記はんだボールの融点よりも低い相互接続構造を与えるものである。

【0035】したがって、1つの状態では、本発明は、はんだボールに少なくとも1つの低融点金属の層をキャッピングする方法を含み、(a)前記はんだボールを基板上に形成するステップと、(b)前記はんだボールの一部が露出するように、前記はんだボールの上にマスクを配置するステップと、(c)前記マスクを介して前記はんだボールの上に少なくとも1つの低融点金属の層を付着して、前記はんだボールの少なくとも一部が前記低融点金属のキャッピング層を有するようにし、かつ前記低融点金属の融点が前記はんだの融点よりも低くなるようにするステップとを含む。

【0036】他の状態では、本発明は、少なくとも1つのはんだボールを有しかつ前記はんだボールの少なくとも一部が低融点金属の少なくとも1つの被覆を有する基板を含み、前記低融点金属の融点が前記はんだボールの融点よりも低い、相互接続構造を含む。

【0037】新規であると信じられる本発明の特徴、および本発明に特徴的な要素は、添付の特許請求の範囲に詳細に記載されている。図面は、例示のためのものにすぎず、一律の縮尺では描かれていない。さらに、同じ番号は図面の同じ特徴を表す。しかしながら、本発明自体は、その編成と操作方法の両方に関して、添付の図面に

解できよう。

【0038】

【発明の実施の形態】本発明に関して使用する「はんだボール」という用語は、鉛とスズとを化合させ、少なくとも1回のリフロー・サイクルを通して「はんだボール」を形成したことを意味することに留意されたい。したがって、本発明は、これらのすでに形成したはんだボールまたはC4の改善であることが当業者には明らかであろう。

【0039】図1ないし図7は、ICチップを加工し、低融点接合の準備ができている本発明の一実施形態を示す。

【0040】基本的に、本発明の方法は、高融点鉛スズはんだなどのはんだの塊をチップ、ウエハまたは基板上のはんだ濡れ性入出力端子に付着するステップと、付着したはんだをリフローするステップと、電気テストおよびバーニン（必要な場合）の後で、付着またはリフローしたはんだ塊のサイトに開口を有する金属または有機マスクで基板を再マスクするステップと、そのはんだ塊の上に、例えばスズなど、低融点金属の層を付着するステップとを含む。

【0041】本発明は、はんだ塊の上に、付着したスズの塊の共融組成に等しい量の共融合金を形成するのに十分なだけのはんだ塊を有するすでにリフローしたはんだ塊合金の上にスズなどの低融点金属が付着されるという予期しない結果に基づいている。すなわち、共融融解サイクルを複数回繰り返した後でも、比較的小さいまたはそれ以下の内部拡散しか起こらないことが分かった。したがって、バリヤを必要とせずに、固体はんだ塊の上に所望の量の共融液体が形成される。回路キャリアの銅相互接合上に接合した後でも、接合温度を共融温度にまで上げると、ある量の共融液体が残る。すなわち、接合界面における液体形成は、ボード上の他の部品に機械的または熱的に影響を及ぼすことなくチップを交換するために、接合したチップを容易に除去できる理想的な状態を示す。

【0042】次に、図1ないし図7（同じ番号は同じまたは類似の部品を表す）を参照すると、図1には、C4 18など、従来のはんだボール18の断面図が示されている。はんだボールは、はんだウェット可能パッド（ボール制限メタラジ（BLM））16上で、ビアを介してICチップ内部配線12と接触するリフロー高融点（鉛97パーセント、スズ3パーセント）はんだボールが好ましい。内部配線12は、少なくとも1つの不動態層14を有するチップまたはウエハなど、従来の基板10内にある。また、BLM16は、基板10との入出力を行う。入出力パッドは、Cr、TiW、整相したCrとCu、Cu、Au、およびそれらの合金からなるグループから選択できる。当業者には、ICチップ基板10

形成し、1つまたは複数の層内のICチップ内部配線によって相互接続した半導体ウエハが可能であることが明らかであろう。

【0043】はんだボール18は、例えば、鉛とスズの合金から構成されるはんだボールなど、高融点はんだボールであり、かつその合金が約2パーセント～約10パーセントのスズを含むか、または鉛スズ合金が98パーセントから約90パーセントの鉛を含むことが好ましい。ボール制限メタラジ16の上に形成するはんだボールは、鉛含有量約97パーセント、スズ含有量約3パーセントの高融点はんだボールであることが好ましい。リフローしていないはんだボール18は、例えば、はんだ注入方法、蒸着方法またははんだ付着の電気めっき方法などのプロセスによって形成することができる。ただし、場合によっては、はんだボール18は、低融点はんだボールでも可能である。本発明の発明ステップをはんだボール18に適用する前に、図1を見ればよく分かるように、ウエハ・テスト、電気テストなど、半導体のすべての加工ステップが終了し、はんだがリフローして球形に戻っていることが好ましい。

【0044】図2は、低融点金属23、例えばスズ23など、好ましくは純スズ23のキャップを初めのはんだボール18構造の上に付着した本発明の好ましい実施形態を示す。低融点金属23は、ビスマス、インジウム、スズまたはそれらの合金からなるグループから選択することが好ましい。

【0045】図3は、金属マスク20など、マスク20を位置合せした後の、図1のはんだボール18の断面を示す本発明の一実施形態を示す。使用する金属マスク20は、側壁22を有する開口を生成することによって作成される。これは、マスク20を両面からエッチングし、それによって側壁22内にマスク20の厚さのナイフ・エッジ24を作成することによって行う。このナイフ・エッジ24は、マスク20の厚さの中間にあることが好ましい。ただし、このナイフ・エッジ24は、側壁22の任意の位置に沿ってもよい。マスク20をはんだボール18の上に配置する場合、ナイフ・エッジ24がはんだボール18を破壊したり抉ったり破損したりしないように注意する必要がある。

【0046】図4は、図3の金属マスク20を使用して、低融点金属の層、例えばスズ23を付着した後の本発明の構造の断面を示す。余分なスズ25をマスク20の上に付着させ、その後当技術分野で周知の方法によって除去し、あるいは本発明のスズ・キャッピング・プロセスの後でマスク自体を廃棄できる。図4を見ると分かるように、はんだボール18は、その上面の一部にだけスズ23の被覆を有する。はんだボール18の上部に必要なスズ23のクラウンに応じて、マスク20の厚さに沿った適切な位置にナイフ・エッジ24が形成されるよ

【0047】図5は、他のマスク30、例えば金属マスク30などを位置合せした後の、図1のはんだボール18の断面を示す本発明の他の実施形態を示す。上述のように、ナイフ・エッジ24がはんだボール18を破壊する恐れがあるような状況では、他のマスク30を使用できる。金属マスク30は、片面にだけ穴をエッチングし、それによってナイフ・エッジ34をマスク30の一端まで隆起させることによって作成する。図5および図6に示すように、側壁32は、リフローはんだボール18の半球構造に適合する傾斜を有する。

【0048】図6は、図5の他の金属マスク30を使用して、低融点金属の層23、例えばスズ23を付着した後の本発明の構造の断面を示す。余分なスズ35をマスク30の上に付着させ、その後当技術分野で周知の方法によって除去するか、または本発明のスズ・キャッピング・プロセスの後でマスク自体を廃棄できる。図6を見ると明らかなように、はんだボール18は、その上面の一部にだけスズ23の被覆を有する。はんだボール18の上部に必要なスズ23のクラウンに応じて、マスク30の厚さに沿った適切な位置にナイフ・エッジ34が形成されるようにマスク30を作成できる。

【0049】図7は、図2のスズ・キャップ付きはんだボールをメタラジ47を有するカード45に接合した後のその断面を示す。メタラジ47は、線またはパッドが可能である。メタラジ47、例えば銅47などは、スズ・キャップ付きはんだボールと結合し、スズとはんだの共融合金43を形成することが好ましい。メタラジ47は、Au、Co、Cr、Cu、Fe、Ni、Ti、W、整相したCrとCu、Auと整相したCrとCu、およびそれらの合金からなるグループから選択する。カード45は、有機回路キャリアまたはセラミック回路キャリアが可能である。カード45は、有機回路キャリアの場合、剛性有機回路キャリアかまたはフレキシブル有機回路キャリアが好ましい。一般に、剛性有機回路キャリアはエポキシ類から作成される。一方、フレキシブル有機回路キャリアは通常、ポリイミド類から作成される。

【0050】形成される共融合金43の量は、はんだボール18の上部に付着する低融点金属23の量に依存する。したがって、選択する低融点金属キャップの厚さは、はんだボール18の体積の約5パーセント～約30パーセント、好ましくははんだボール18の体積の約10パーセント～約20パーセントの共融体積が得られるものであることが好ましい。

【0051】モリブデン・マスクなどのマスクを作成する従来の方法では、マスクの両面をフォトマスクングし、エッチングすることによって穴または開口を形成した。この電気化学エッチング・バイアスでは、穴の直径が両面から小さくなりかつ穴の内部で最小値に達するエッチング穴の構造ができ、したがってナイフ・エッジの

ば同じであるので、ナイフ・エッジは、C4またははんだボールに貫入し、はんだボールに機械的損傷を与える。上述のように、この問題は、金属マスクを片面からだけフォトマスキングし、電気エッチングすることによって解決できる。これにより、図5を見ると分かるように、マスク30の上面にナイフ・エッジ34が形成され、それによりマスク30とはんだボール18の間に広い空きができる。

【0052】説明のために、チップまたはウエハを基板10として使用したが、基板10は、有機基板、多層有機基板、セラミック基板、多層セラミック基板または集積回路チップからなるグループから選択できる。

【0053】スズ23の被覆層は、高周波蒸着、電子ビーム蒸着、電気めっき、化学めっき、または注入方法からなるグループから選択した方法によってはんだボール18上に付着できる。

【0054】上述のように、リフローはんだボール18の露出した面に少なくとも1つの低融点金属23をキャッピングする。はんだボールの露出面の約10パーセント〜約90パーセントをキャッピングすること、好ましくは、はんだボールの露出面の約20パーセント〜約80パーセントをキャッピングすること、さらに好ましくは、はんだボールの露出面の約30パーセント〜約50パーセントをキャッピングすることが好ましい。もちろん、はんだボール18全体を低融点金属23によってキャッピングまたは包囲することもできる。

【0055】低融点金属23の層を有するはんだボール18は一般に、次のレベルのパッケージング・アセンブリ45など、導電性アセンブリ45に基板10を固定する相互接続として使用する。一般に、導電性アセンブリは、ICチップ、コンデンサ、抵抗、回路キャリア・カード、電源または増幅デバイスからなるグループから選択できる。

【0056】

【実施例】以下の例は、本発明を詳細に例示するものであり、本発明の範囲をいかなる形でも限定するものではない。

【0057】実施例1

本発明の構造およびプロセスを使用して、半導体モジュールを作成した。従来のはんだボール18の上にスズ23のキャッピング層を形成した。純スズの付着した被覆層は、厚さ約13〜50ミクロン(0.5〜2.0ミル)であり、蒸着によって付着した。はんだボール18の上に付着するスズの量は、カードまたは基板45内の露出した銅導体47を完全に覆うのに必要な共融はんだの量によって決まった。銅導体およびはんだマスクの開口の幅および厚さによって、表面積、したがって所要の共融合金の体積が決まる。高融点のはんだボール18の体積が最初 $6.6 \times 10^{-4} \text{ mm}^3$ (40〜10

3〜5. $7 \times 10^{-4} \text{ mm}^3$ (20〜35立方ミル)であることが好ましい。

【0058】以上、本発明について特定の好ましい実施形態と関連して詳細に説明したが、上記の説明に照らせば、多くの改変、修正および変更が可能であることを当業者なら理解するであろうことは明白である。したがって、添付の特許請求の範囲は、本発明の真の範囲および精神に含まれるそのようなあらゆる改変、修正および変更を含むものとする。

【0059】まとめとして、本発明の構成に関して以下の事項を開示する。

【0060】(1) 少なくとも1つのはんだボールを有しかつ前記はんだボールの少なくとも一部が少なくとも1つの低融点金属の被覆を有する基板を含み、前記低融点金属の融点の前記はんだボールの融点よりも低い相互接続構造。

(2) 前記はんだボールが、高融点のはんだ、低融点のはんだまたはC4からなるグループから選択されることを特徴とする、上記(1)に記載の相互接続構造。

(3) 前記基板が、有機基板、多層有機基板、セラミック基板、多層セラミック基板または集積回路チップからなるグループから選択されることを特徴とする、上記(1)に記載の相互接続構造。

(4) 前記低融点金属が、ビスマス、インジウム、スズまたはそれらの合金からなるグループから選択されることを特徴とする、上記(1)に記載の相互接続構造。

(5) 前記低融点金属の層を有するはんだボールが、導電性アセンブリに固定されることを特徴とする、上記(1)に記載の相互接続構造。

(6) 前記導電性アセンブリが、ICチップ、コンデンサ、抵抗、回路キャリア・カード、電源または増幅デバイスからなるグループから選択されることを特徴とする、上記(5)に記載の相互接続構造。

(7) はんだボールが、前記基板内の導電性フィーチャに固定されることを特徴とする、上記(1)に記載の相互接続構造。

(8) 前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ta、Ti、TiW、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、上記(7)に記載の相互接続構造。

(9) 前記導電性フィーチャが少なくとも1つの内部導電性フィーチャと電気的に接触することを特徴とする、上記(7)に記載の相互接続構造。

(10) 前記低融点金属キャップの厚さが、前記はんだボールの体積の約5パーセント〜約30パーセントの共融体積を提供することを特徴とする、上記(1)に記載の相互接続構造。

(11) 前記低融点金属キャップの厚さが、好ましく

0パーセントの共融体積を提供することを特徴とする、上記(1)に記載の相互接続構造。

(12) 前記はんだボールが鉛とスズの合金から構成され、かつ前記合金が約2パーセント～約10パーセントのスズを含むことを特徴とする、上記(1)に記載の相互接続構造。

(13) 前記はんだボールが鉛とスズの合金から構成され、かつ前記合金が約98パーセント～約90パーセントの鉛を含むことを特徴とする、上記(1)に記載の相互接続構造。

(14) 前記低融点金属キャップの平均厚さが約15マイクロメートル～約50マイクロメートルであることを特徴とする、上記(1)に記載の相互接続構造。

(15) 前記はんだボールが、Pb、Bi、In、Sn、Ag、Au、またはそれらの合金からなるグループから選択されることを特徴とする、上記(1)に記載の相互接続構造。

(16) 前記キャップ付きはんだボールの少なくとも一部が第2の基板上の導電性フィーチャに固定されることを特徴とする、上記(1)に記載の相互接続構造。

(17) 前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ta、Ti、TiW、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、上記(16)に記載の相互接続構造。

(18) 前記第2の基板が、有機回路キャリアまたはセラミック回路キャリアからなるグループから選択されることを特徴とする、上記(16)に記載の相互接続構造。

(19) 前記有機回路キャリアが、剛性有機回路キャリアまたはフレキシブル有機回路キャリアからなるグループから選択されることを特徴とする、上記(18)に記載の相互接続構造。

(20) 前記剛性有機回路キャリア用の材料が、エポキシ類からなるグループから選択されることを特徴とする、上記(19)に記載の相互接続構造。

(21) 前記フレキシブル有機回路キャリア用の材料が、ポリイミド類からなるグループから選択されることを特徴とする、上記(19)に記載の相互接続構造。

(22) 前記低融点金属が、前記はんだボールの露出面の約10パーセント～約90パーセントをキャッピングすることを特徴とする、上記(1)に記載の相互接続構造。

(23) 前記低融点金属が、好ましくは、前記はんだボールの露出面の約20パーセント～約80パーセントをキャッピングすることを特徴とする、上記(1)に記載

の相互接続構造。

(24) 前記低融点金属が、さらに好ましくは、前記はんだボールの露出面の約30パーセント～約50パーセントをキャッピングすることを特徴とする、上記(1)に記載の相互接続構造。

(25) 前記低融点金属が前記はんだボールを完全に包囲することを特徴とする、上記(1)に記載の相互接続構造。

【図面の簡単な説明】

10 【図1】 はんだ濡れ性パッド上のリフローはんだボール(BLM)を示す従来のC4の断面図である。

【図2】 低融点金属のキャップが図1の初めのC4構造の上部に付着した本発明の好ましい実施形態を示す図である。

【図3】 マスクを位置合せした後の、図1のC4はんだボールの断面を示す本発明の一実施形態を示す図である。

【図4】 図3のマスクを使用して低融点金属の層を付着した後の本発明の構造の断面図である。

20 【図5】 他のマスクを位置合せした後の、図1のC4はんだボールの断面を示す本発明の他の実施形態を示す図である。

【図6】 図5の他のマスクを使用して低融点金属の層を付着した後の本発明の構造の断面図である。

【図7】 図2のスズ・キャップ付きはんだボールをカード・メタラジに接合した後のその断面図である。

【符号の説明】

10 ラミネート

12 開口

14 上面

16 底面

20 銅

22 絶縁材料

24 開口

25 回路カード

26 開口

30 ICチップ

32 内部金属配線

34 絶縁物

40 36 パッド

38 はんだボール

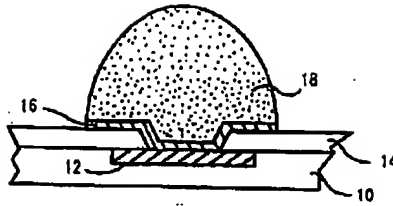
41 低融点金属キャップ

43 共融合金

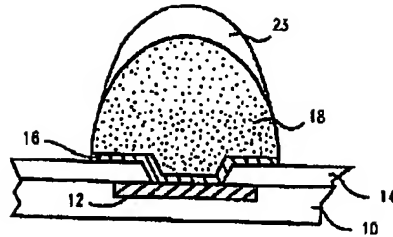
48 ボール制限メタラジ(BLM)

50 直接チップ実装モジュール(DCAM)

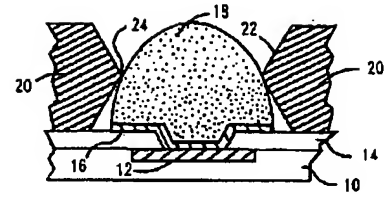
【図 1】



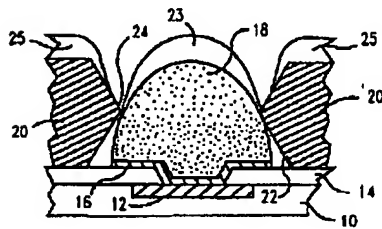
【図 2】



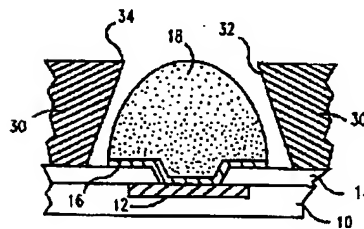
【図 3】



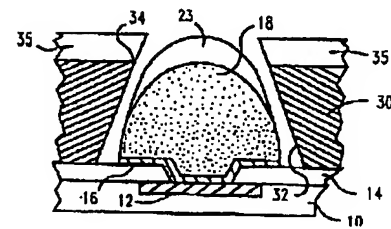
【図 4】



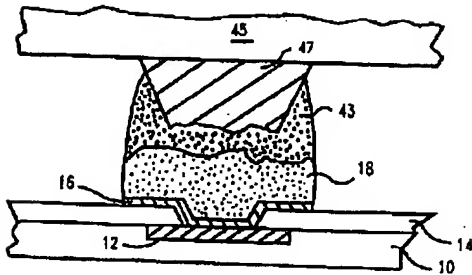
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 アレクシス・ピタイユ
フランス91220 プルティーニュ・シュ
ル・オルジュ リュ・ド・ヴェルコール
15

(72)発明者 ケニス・マイケル・ファロン
アメリカ合衆国13850 ニューヨーク州ヴ
ェスタルサード・アベニュー 344

(72)発明者 ジーン・ジョーゼフ・ガウデンズィ
アメリカ合衆国10578 ニューヨーク州バ
ーディスオーク・リッジ・ロード 38

(72)発明者 ケニス・ロバート・ハーマン
アメリカ合衆国12603 ニューヨーク州ボ
ーキーブシー ローリー・ストリート 11

(72)発明者 フレデリック・ビエール
フランス91540 メヌシー リュ・デ・ベ
ルジュロネット 6

(72)発明者 ジョルジュ・ロベール
フランス91590 ボールヌ リュ・ド・
ラ・フェルム 01